

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-267302
(43)Date of publication of application : 15.10.1993

(51)Int.Cl.

H01L 21/321

(21)Application number : 04-063342
(22)Date of filing : 19.03.1992

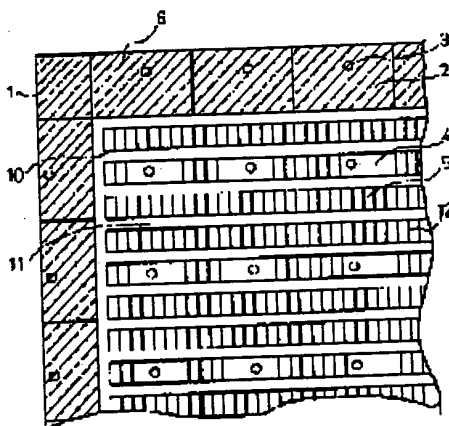
(71)Applicant : FUJITSU LTD
(72)Inventor : KAJII YOSHIO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a semiconductor device wherein bumps are arranged uniformly at equal intervals irrespective of the kind of a chip and, at the same time, it complies with high pin counts by a method wherein I/O cells are arranged efficiently.

CONSTITUTION: In a semiconductor device 1 provided with an area bump constitution, I/O cells whose size is different are arranged in a mixed manner in the semiconductor device 1. At this time, I/O cells 6 whose size is large are arranged at the peripheral part 2 of a bump formation region 10 and I/O cells 4 whose size is small are arranged at the inside 11 of the bump formation region 10.



LEGAL STATUS

[Date of request for examination] 27.12.1995

[Date of sending the examiner's decision of rejection] 14.07.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-267302

(43) 公開日 平成5年(1993)10月15日

(51) Int. Cl. ⁵

H01L 21/321

識別記号

庁内整理番号

F I

技術表示箇所

9168-4M

H01L 21/92

C

審査請求 未請求 請求項の数4 (全5頁)

(21) 出願番号

特願平4-63342

(22) 出願日

平成4年(1992)3月19日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番
地

(72) 発明者 梶井 芳雄

神奈川県川崎市中原区上小田中1015番
地 富士通株式会社内

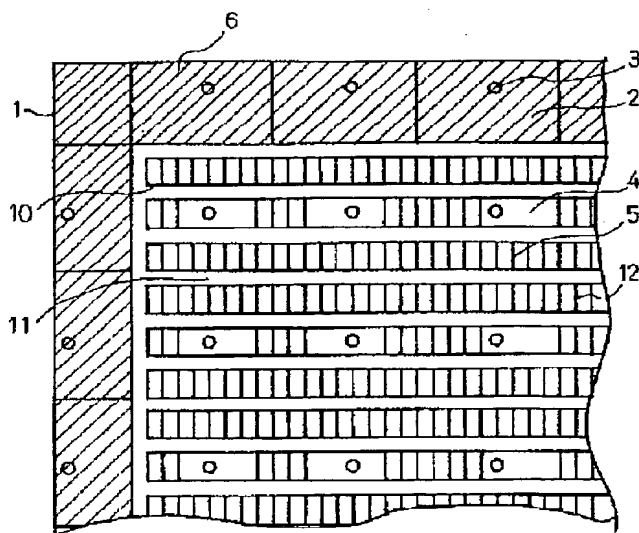
(74) 代理人 弁理士 青木 朗 (外3名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 I/Oセルを効率的に配置する事により、チップの種類に係わらず等間隔で均一なバンプ配置を有すると同時に多ピン化に対応した半導体装置を提供する。

【構成】 エリアバンプ構成を有する半導体装置1に於いて、大きさの異なるI/Oセルを当該半導体装置に混在させて配置するに際し、寸法の大きなI/Oセル6をバンプ形成領域の周辺部2に配置し、寸法の小さいI/Oセル4を該バンプ形成領域の内部11に配置した半導体装置。



【特許請求の範囲】

【請求項1】 エリアバンパ構成を有する半導体装置に於いて、大きさの異なるI/Oセルを当該半導体装置に混在させて配置するに際し、寸法の大きなI/Oセルをバンパ形成領域の周辺部に配置し、寸法の小さいI/Oセルを該バンパ形成領域の内部に配置したことを特徴とする半導体装置。

【請求項2】 該バンパ形成領域内部に配置される該I/Oセルは、その幅が、該半導体装置に形成されているゲートアレイの幅に略等しい幅を有している事を特徴とする請求項1記載の半導体装置。

【請求項3】 該バンパ形成領域内部に配置される該I/Oセルは、その高さが、該半導体装置に形成されているロジックセルの高さに等しい高さを有している事を特徴とする請求項1記載の半導体装置。

【請求項4】 該バンパ形成領域の周辺部に配置されるI/Oセルは、その寸法及び形状が互いに略同一である事を特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置に関するものであり、特に詳しくは、該半導体装置に於けるI/Oセルの配置構造に関するものである。

【0002】

【従来の技術】 近年、半導体製造技術の向上に伴い、半導体装置の大規模化、高集積化、多ピン化、ダウンサイジング化等が要求されて来ており、その実現に適した製造方法の確立が要求されている。特に、半導体装置に於ける高集積化、多ピン化に伴い、該半導体装置と外部の処理回路とに於ける信号の遣り取りを実行するI/Oセルを如何に大量に且つ効果的に配列するかが重要な問題となって来ている。

【0003】 係る問題を解決する方法として、エリアバンパ技術が開発され、半導体装置を構成するチップの全面にI/Oパット、即ちI/Oセルを接続させるバンパ部を形成させる事が可能となって来たが、係る方法を採用したとしても、チップ全面にかなりの数のI/Oセルが配置される事になるので、LSI等の高集積半導体装置に於いては、如何に効率的に係るI/Oセルを当該チップ内に配置するかが重要な課題となっている。

【0004】 従来に於いては、例えば、サイズあるいは、所要面積の大きいI/Oセルとそれが小さいI/Oセルとを混在して使用する場合には、それらを図4に示す様に無作為に配列していた。つまり、従来に於いては、中には当該半導体装置の外部に設けられている制御回路等を駆動する為に駆動能力の大きい出力I/Oセルを使用する必要があり、又該半導体装置内のロジックセルを駆動する為には、それ程駆動能力の大きいI/Oセルを用いる必要のないものもあり、更には、入力I/Oセルの中には保護回路の大きなものが必要であるものも

あり、その大きさや、配置位置が一定でなく、従ってI/Oセルの大きさに関係なく、バラバラに配置されているものが多かった。

【0005】

【発明が解決しようとする課題】 その為、図5に示す様に、半導体装置に於けるI/Oセルのパット部であるバンパの位置は、ランダム若しくは等間隔で形成されているにも係わらず、I/Oセルの大きさによっては、当該バンパの置けない歯抜け状の配置を取らざるを得ない場所が多発する事になる。

【0006】 従って、係る構成の半導体装置を製造しようとする、当該バンパの位置が、半導体チップの種類によってまちまちとなり、異なる形状を有するマスク（レチクル）を全てのチップ毎に準備したり、作り直す必要が生じたり、又該チップを受けるパッケージ・プリント基板、或いはマルチチップモジュール（MCM）等もいちいち作り直さなければならないと言う問題が発生する。

【0007】 一方、当該半導体チップの端部周辺領域にはバンパを形成出来ないという制約が存在する事を考慮すると、入出力端子ピンの数が不足すると言う問題も発生している。その為、従来に於いては、配線が複雑となり、該配線作業が煩雑となる他、一つのI/Oセルの入出力端子ピンの配列位置と他のI/Oセル或いは、外部回路に於ける入出力端子ピンの配列位置との対応が一定でなく、各I/Oセルやマイクロコンピュータ等の配置を設計するに当たり自由度が制約されるという欠点があった。

【0008】 本発明の目的は、係る従来技術に於ける問題を解決し、I/Oセルを効率的配置する事により、チップの種類に係わらず等間隔で均一なバンパ配置を有すると同時に多ピン化に対応した半導体装置を提供するものである。

【0009】

【課題を解決するための手段】 本発明は上記した目的を達成するため、以下に記載されたような技術構成を採用するものである。即ち、エリアバンパ構成を有する半導体装置に於いて、大きさの異なるI/Oセルを当該半導体装置に混在させて配置するに際し、寸法の大きなI/Oセルをバンパ形成領域の周辺部に配置し、寸法の小さいI/Oセルを該バンパ形成領域の内部に配置した半導体装置である。

【0010】

【作用】 本発明に係る半導体装置は、上記した様な技術構成を採用しているので、サイズの大きいI/Oセルを該バンパ形成領域の外周部に配置し、又サイズの小さいI/Oセルは、該バンパ形成領域の内部に於いて、ロジックセルに揃えて配置されているので、各バンパは、半導体チップの種類に関係なく略均等な間隔で半導体装置内に配置されるので、効率的で且つ低コストの半導体装

10

20

30

40

50

置を製造しえると共に、多ピン化が容易に出来、又、各端子間の配線も容易に且つ効率的に行なう事が可能となる。

【0011】

【実施例】以下に、本発明に係る半導体装置の具体例を図面を参照しながら詳細に説明する。図1は、本発明にかかる半導体装置の原理を説明する図であると同時に本発明に係る半導体装置の一具体例の構成の概略を示す平面図である。

【0012】図1に於いては、エリアバンプ構成を有する半導体装置1に於いて、大きさの異なるI/Oセルを当該半導体装置に混在させて配置するに際し、寸法の大きなI/Oセル6をバンプ形成領域の周辺部2に配置し、寸法の小さいI/Oセル4を該バンプ形成領域の内部11に配置した半導体装置1が示されている。図2は、本発明に係る半導体装置1に於ける各I/Oセルの配置状況を具体的に説明しているものであって、LSIチップ等の半導体装置1の外周縁部2を比較的サイズの大きなI/Oセル6の配置領域2とし、係る配置領域2内に主としてサイズの大きなI/Oセル6を配置し、該半導体装置1のバンプ形成領域10の外周縁部に存在しているバンプ3とコンタクトさせたものである。

【0013】一方、該バンプ形成領域10の内部は、比較的サイズの小さいI/Oセル4の配置領域11として、係る配置領域11内に主としてサイズの小さいI/Oセル4を配置したものである。該バンプ形成領域内部11に配置される該I/Oセル4は、例えば、既に当該バンプ形成領域10の内部11に形成されている、ゲートアレイ12等のロジック回路群5の間に混在させる事になるので、該サイズの小さいI/Oセル4はその幅が、該半導体装置1に形成されているゲートアレイ12の幅に略等しい幅を有している事が好ましい。

【0014】又、該バンプ形成領域内部11に配置される該I/Oセル4は、その高さが、該半導体装置の該バンプ形成領域内部11に形成されている個々のロジックセル5の高さに等しい高さを有している事が好ましい。係る構成を取る事によって、該バンプ形成領域内部11に形成されたI/Oセル4と外部回路との配線接続は、簡略化されると同時に、該ロジック回路同志あるいは、該ロジック回路と外部の回路との配線接続も容易となる。

【0015】本発明に係る半導体装置に於いては、該バンプ形成領域10の周辺部2に配置されるI/Oセル6は、その寸法及び形状が互いに略同一である事が好ましく、それによって、該I/Oセル6が半導体装置の周辺部に均等に配置される事になり、他の半導体装置、或いは外部の各種制御回路との接続に際して、当該半導体装置に於けるI/Oピンの位置が固定されるので、配線設計、或いは外部制御回路等の配置設計が容易になる。

【0016】本発明に使用されるサイズの大きいI/O

セル6の具体的な寸法は特定されるものではないが、一例として、図2に示す様な構成を取る場合には、例えば縦200 μ m、横400 μ mのI/Oセルを使用する事が出来、それに対し、サイズの小さいI/Oセル4の寸法も具体的に特定されるものではないが、上記の例に対応して、例えば縦100 μ m、横200 μ mのI/Oセルを使用する事が出来る。

【0017】本発明に於いては、該サイズの大きいI/Oセル6は、当該半導体装置1の外周縁部の全周に均等に配置する必要はなく、一部に該I/Oセル6が配置されていない部分が存在していても構わない。図3には、本発明に係る半導体装置の他の構成例が示されているが、該本発明の外周縁部に配置されているサイズの大きいI/Oセル6は、形状が図2に比べて縦長であり、従って図2の構成に比べてより多くのI/Oセル6を配置する事が可能となる。

【0018】この様に、サイズの大きいI/Oセル6の数が多くなると、該エリアバンプにおける最外周を形成するバンプ3の数が不足する事も考えられるので、その場合には、該エリアバンプの第2周目13或いは3種周目14を形成するバンプ群を利用する事が出来る。又、従来の半導体装置1に於いては、基板の外周から、バンプ形成領域10迄の間は、強度上或いは取扱い上等の制約からある程度の空間部20を設けておく必要があるが、本発明の半導体装置に於いては、この空間部を利用して、サイズの大きなI/Oセル6を配置する事になるので、該半導体装置の基板の有効利用が出来、高集積化、多ピン化を余裕を持って実施する事が出来る。

【0019】尚、上記具体例に於いては、I/Oセルの寸法が大、小2種類のものを使用する場合に付いて説明してきたが、本発明に於いては、該I/Oセルの種類は、2種に限定されるものではなく、3種若しくはそれ以上のサイズの異なるI/Oセルを組み合わせ使用する事も可能である。

【0020】

【発明の効果】以上説明した様に、本発明に係る半導体装置によれば、レイアウトに適した、規則正しいバンプ配置が出来、更にチップの端部からある程度の距離をあげてバンプを配置する事が出来るので、高集積で多ピンのLSIを製造出来、又半導体装置の性能向上とコストダウンを図る事が出来る。

【0021】更に、本発明に係る半導体装置を用いる事により、各半導体装置のサイズ、種類が異なっても、該I/Oセルの入出力端子ピンの位置は、比較的固定される事になるので、他のロジックセル、制御回路等との接続が容易となり、回路設計、配線作業が効率的になると同時に、半導体装置そのものの互換性があるので、多種多様な半導体装置間で共用する事も可能となる。

【図面の簡単な説明】

【図1】図1は、本発明に係る半導体装置の原理を説明する図であり、又本発明に係る半導体装置の具体例を説明する図である。

【図2】図2は、本発明に係る半導体装置に於ける他の具体例の構成を説明する図である。

【図3】図3は、本発明に係る半導体装置に於ける別の具体例の構成を説明する図である。

【図4】図4は、従来に於ける半導体装置のI/Oセル配置例を説明する図である。

【図5】図5は、従来に於ける半導体装置に於けるバンプの配列状況を説明する図である。

【符号の説明】

1…半導体装置

2…サイズの大きなI/Oセルの配置流域

3…バンプ形成領域の外周（第1周目）に配置されているバンプ

4…サイズの小さいI/Oセル

5…ロジックセル

6…サイズの大きなI/Oセル

10…バンプ形成領域

11…エリアバンプ内部

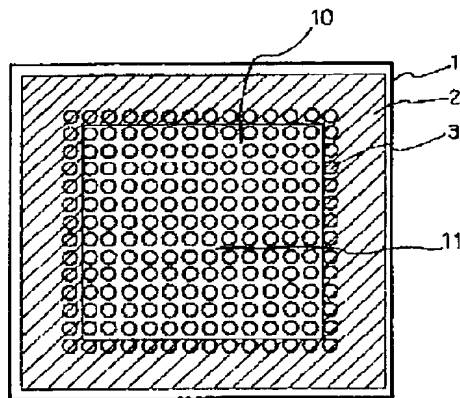
12…ゲートアレイ

13…バンプ形成領域の外周から第2周目に配置されているバンプ

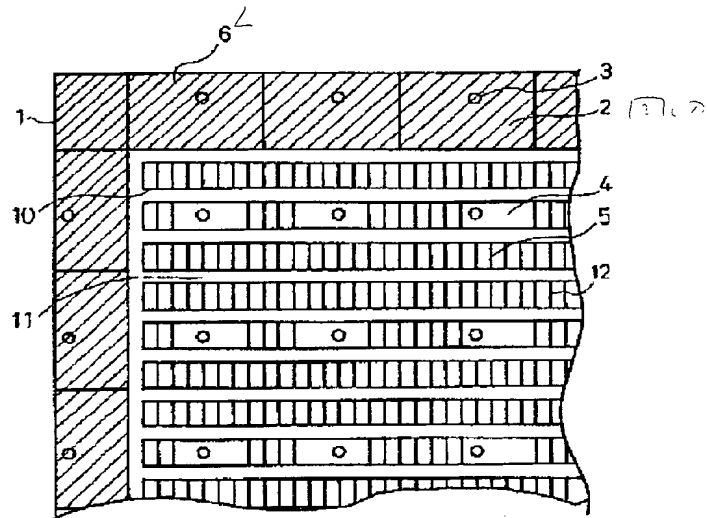
14…バンプ形成領域の外周から第3周目に配置されているバンプ

20…空間部

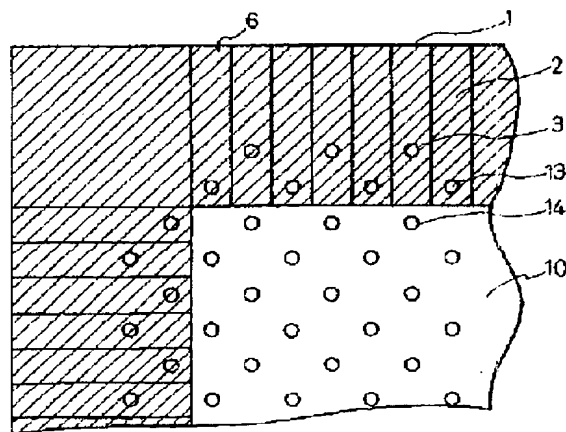
【図1】



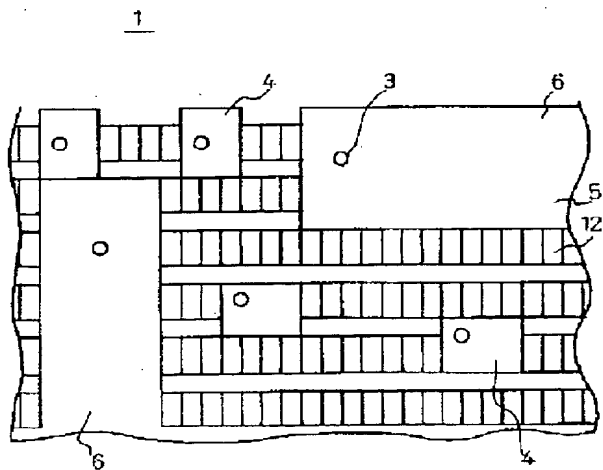
【図2】



【図3】



【図4】



【図5】

